

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-169018

(43)Date of publication of application : 14.06.1994

(51)Int.Cl.

H01L 21/90  
H01L 21/28  
H01L 21/28  
H01L 21/3205

(21)Application number : 04-319551

(71)Applicant : NEC CORP

(22)Date of filing : 30.11.1992

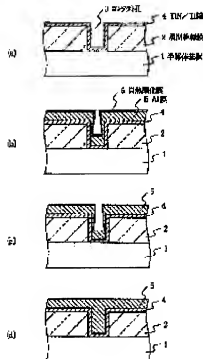
(72)Inventor : ISOBE AKIRA

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To enhance the embedding efficiency of an Al film into a contact hole formed on an layer insulation film and eliminate the generation of junction leakage as well.

**CONSTITUTION:** A contact hole 3 is formed on an layer insulation film 2 on a semiconductor substrate 1. Then, a TiN/Ti film and an Al film 5 are formed in a sputter chamber based on a sputtering method. Then, the substrate is moved to a reflow chamber. At the time, a natural oxide film 6 is formed on the Al film 5. This natural oxide film 6 is removed by means of plasma of Ar gas and then the substrate is heated, thereby forcing the Al film to reflow.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-169018

(43)公開日 平成 6年(1994) 6月14日

(51)Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/90		C 7514-4M		
21/28		B 9055-4M		
	3 0 1	R 7376-4M		
21/3205		7514-4M	H 0 1 L 21/ 88	R
			審査請求 有	請求項の数 3 (全 6 頁)

(21)出願番号 特願平4-319551

(22)出願日 平成 4年(1992)11月30日

(71)出願人 00004237

日本電気株式会社

東京都港区芝五丁目 7 番 1号

(72)発明者 磯部 晶

東京都港区芝五丁目 7 番 1号日本電気株式会社内

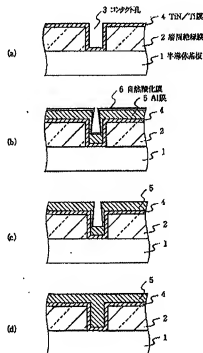
(74)代理人 弁理士 京本 直樹 (外 2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】層間絶縁膜に形成されたコンタクト孔への A l 膜の埋め込み性を向上させると共に、ジャンクションリークの発生をなくす。

【構成】半導体基板 1 上の層間絶縁膜 2 にコンタクト孔 3 を形成する。次にスパッタチャンバー内で T i N / T i 膜 4 と A l 膜 5 をスパッタ法により形成する。次に基板をリフローチャンバーに移す。この時 A l 膜 5 上に自然酸化膜 6 が形成される。この自然酸化膜 6 を A r ガスのプラズマにより除去したのち、基板を加熱し A l 膜をリフローさせる。



## 【特許請求の範囲】

【請求項1】 半導体基板上に形成された層間絶縁膜にコンタクト孔を形成する工程と、このコンタクト孔を含む全面にA膜を形成する工程と、このA膜の表面に不活性ガスのプラズマを照射し表面の自然酸化膜を除去する工程と、前記半導体基板を加熱し自然酸化膜が除去された前記A膜を流動化させ前記コンタクト孔を埋めると共に表面を平坦化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 不活性ガスのプラズマ照射により自然酸化膜を除去すると同時に半導体基板を加熱する請求項1記載の半導体装置の製造方法。

【請求項3】 半導体基板上に形成された層間絶縁膜にコンタクト孔を形成する工程と、このコンタクト孔を含む全面にA膜を形成する工程と、100eV以下のイオンエネルギーを有する不活性ガスのプラズマを前記A膜の表面に照射し表面の自然酸化膜を除去すると同時にこのA膜を加熱し流動化させ前記コンタクト孔を埋める工程とを含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に關し、特に、A膜によってコンタクト孔を埋設する半導体装置の製造方法に關する。

【0002】

【従来の技術】 従来、A膜やSiやCuを含むA含金属（以下単にA膜という）をコンタクト孔等へ埋め込む方法としては、バイアススパッタ法、高温スパッタ法、スパッタ後リフロー法等が提案されている。バイアススパッタ法はAターゲットをスパッタして半導体基板上にA膜を成膜すると同時に、半導体基板側にRF電圧をかけ、Aイオンで成膜されたA膜をスパッタエッチングすることにより、A膜を流動化（リフロー）させ、コンタクト孔内に埋め込む方法である。高温スパッタ法は、スパッタ法によりA膜を成膜すると同時に基板をヒータにより高温に加熱し、A膜をコンタクト孔内に埋め込む方法である。

【0003】 スパッタ後リフロー法としては、例えば、C. S. パーク（Park）等によりプロシードィング・エイス VLSI Multilevel Interconnection Conference）、326頁（1991年）に報告されている。この方法は図5に示すように、ガス導入管17を有するスパッタチャンパー11とリフローチャンパー13Aとターゲット16を有する搬送チャンパー12を用いるものである。尚18A～18Cは排気管である。

【0004】 まづスパッタチャンパー11上に半導体基

板1をセットし、Aターゲット14により低温で層間絶縁膜上にA膜を形成したのち、搬送チャンパー12を介して半導体基板をリフローチャンパー13A中の高温加熱機構付き支持台15B上に送り、基板を450～480℃に加熱してA膜をリフローさせ、コンタクト孔を埋め込むものである。

【0005】 これらの技術のうち、バイアススパッタ法では、ターゲットのスパッタと基板のスパッタエッチングを同時に行う為、基板に対するバイアスを適当な値に設定するのが難しく、Aイオンを膜中に取込んでもまい、膜質が劣化し、エレクトロマイグレーション耐性が劣化する。また、表面モフォロジーも悪く、加工性やアライメント性に問題がある。高温スパッタ法ではA膜の膜中への取込や、それにもともなう膜質の劣化はないが、表面モフォロジーは悪く、バイアススパッタと同様の問題を抱えている。また、スパッタ成膜中の温度制御は難しく、再現性に乏しいという問題点も有する。

【0006】 一方、スパッタ後リフロー法では、上記2つの技術の抱える問題点が解決される。すなわち、この方法によると、基板にバイアスを掛けていない為、A膜の膜中への取込はなく、膜質や信頼性の劣化はない。リフローを成膜後に行っている為に、温度制御も容易で、再現性がある。更に、表面モフォロジーも滑らかで、加工やアライメントも問題無い。表面モフォロジーが良い理由は、高温スパッタ等では、高温中で成膜する為、スパッタ雰囲気中のO<sub>2</sub>や水分等の不純物を取込みやすいのに対し、この方法では成膜は低温で行う為、こうした不純物の取込が無いと考えられる。

【0007】

【発明が解決しようとする課題】 以上説明したように、スパッタ後リフロー法では他の埋め込み方法に比べ有利な点が多いが、スパッタとリフローを別々に行う為、プロセス時間が長くなるという問題点がある。スルーブを向上させる為には、スパッタとリフローを別のチャンパーで行い、1枚目の基板をリフローしている間に2枚目の基板にスパッタ成膜する方法が考えられるが、スパッタチャンパーからリフローチャンパーに搬送中に、真空中とはいえ、A膜表面が薄く酸化されてしまい、これによりコンタクト孔への埋め込み性が劣化してしまう。この対策としてA膜のリフロー温度を高くすると、バリメタルを過して下地拡散層とA膜が反応し、アルミスパイクが発生し、ジャンクションリーク等が生じ、半導体装置の信頼性及び歩留りが低下するという問題点がある。

【0008】

【課題を解決するための手段】 第1の発明の半導体装置の製造方法は、半導体基板上に形成された層間絶縁膜にコンタクト孔を形成する工程と、このコンタクト孔を含む全面にA膜を形成する工程と、このA膜の表面に不活性ガスのプラズマを照射し表面の自然酸化膜を除去

する工程と、前記半導体基板を加熱し自然酸化膜が除去された前記A膜を流動化させ前記コンタクト孔を埋めると共に表面を平坦化する工程とを含むものである。

【0009】第2の発明の半導体装置の製造方法は、半導体基板上に形成された腐蝕絶縁膜にコンタクト孔を形成する工程と、このコンタクト孔を含む全面にA膜を形成する工程と、100eV以下のイオンエネルギーを有する不活性ガスのプラズマを前記A膜の表面に照射し表面の自然酸化膜を除去すると同時にこのA膜を加熱し流動化させ前記コンタクト孔を埋める工程とを含むものである。

【0010】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0011】図1(a)～(d)は本発明の第1の実施例を説明するための工程順に示した半導体チップの断面図、図2は実施例に用いる成膜装置の構成図である。

【0012】この成膜装置は、ガス導入管17Aと排気管18Aを有するスパッタチャンバー11と、ガス導入管17Bと排気管18Cとを有するリフローチャンバー13と、ゲートバルブ16と排気管18Bとを有するスパッタチャンバー11とリフローチャンバー13とを接続する搬送チャンバー12とから主に構成されている。以下、図1及び図2を用いて説明する。

【0013】まず図1(a)に示すように、シリコン等の半導体基板1上に厚さ約1μmのBPSG膜等からなる腐蝕絶縁膜2を形成する。次でこの腐蝕絶縁膜2に幅約0.4μmのコンタクト孔3を形成したのちバリアメタルとして、TiN/Ti膜4をスパッタ法により約0.1μmの厚さに成膜する。

【0014】次に図2に示したスパッタチャンバー11の支持台15Aに基板をセットしたのち、A1ターゲット14を用いるA1スパッタ法にて図1(b)に示すように、厚さ0.5μmのA1膜5(又はA1合金膜)を形成する。

【0015】次に、真空中から出す事なく基板1を搬送チャンバー12を介してリフローチャンバー13に搬送し加熱機構付支持台15Bにセットする。この時、A1膜5の表面が酸化され約0.5nmの厚さの自然酸化膜6が形成される。基板がリフローチャンバー13に送られたのち、まず、ガス導入管17BよりA1ガスを導入し、圧力を8mTorrとする。そして支持台15Bに13.56MHzの高周波をかけプラズマを発生させる。この時の基板バイアスを300Vとする。イオン化したA1が基板表面に衝突する事により、図1(c)に示すように、A1膜5の表面の自然酸化膜6は約10秒間でスパッタされ除去される。

【0016】次に、高周波を切り、支持台15Bをヒータ等により加熱する。基板温度を450℃で90秒間保持する事によりA1がリフローし、図1(d)に示すよ

うに、コンタクト孔3にA1が埋め込まれA1膜の表面が平坦化される。

【0017】このように第1の実施例によれば、A1膜5の表面に形成された自然酸化膜6をA1のプラズマにより除去したのち、A1膜を加熱してリフローさせているため、コンタクト孔3への埋め込みが完全となり平坦化される。

【0018】尚、上記実施例においては、自然酸化膜6を除去したのち基板を加熱してA1膜をリフローさせる場合について説明したが、自然酸化膜の除去と基板の加熱を同時に行ってもよい。

【0019】次に、第2の実施例について説明する。

【0020】第2の実施例では、第1の実施例と同様に、図1(b)における自然酸化膜6をA1のプラズマにより除去すると同時にA1膜5を加熱してリフローさせるものであるが、A1膜5の加熱に主としてこのA1のプラズマを用いるものである。このためヒータによる基板の加熱を低い温度で行うことができるため、加熱による半導体素子への影響を少なくできる。

【0021】A1イオンのエネルギーをA1膜の昇温に利用するには、イオンエネルギーを低くしてイオン密度を高くする必要がある。イオンエネルギーが高いとA1膜がスパッタされてしまう為である。金属のスパッタ率とA1のイオンエネルギーとの関係は図3に示すように、イオンエネルギーが100eV以下ではスパッタ率はイオンエネルギーの二乗に比例する。従ってスパッタ率が10<sup>-2</sup>～10<sup>-3</sup>程度のイオンエネルギーのA1プラズマを用いることが望ましい。本第2の実施例ではA1のイオンエネルギーを30～50eVとした。

【0022】低エネルギー、高密度イオンを発生させるためには、例えばリフローチャンバーとして図4に示すようなチャンバー13Bが利用できる。

【0023】リフローチャンバー13Bには、高温加熱機構付き支持台15Bとガス導入管17Bと排気管18Cの他、周囲にプラズマ発生用RFコイル21を備えている。そしてこのリフローチャンバー13Bは、図示していないがRFコイル21をかけた部分で図2におけるゲートバルブ16を介して搬送チャンバー12に接続された構造になっている。

【0024】このリフローチャンバー13Bを用いる場合、圧力を1mTorrとし、チャンバー周囲のプラズマ発生用RFコイル21に400kVの高周波を与えてプラズマを発生させ、これとは別に高温加熱機構付き支持台15Bにバイアス用13.56MHzの高周波を与え、この電圧によりA1イオンを基板に衝突させる。プラズマ発生用とバイアス用の高周波が別々の、イオンエネルギーを低く抑えたままイオン密度を高くすることができる。

【0025】イオンエネルギーで充分にA1膜を加熱することができれば、裏面からの基板加熱は必要無くな

る。基板の温度が低いままで、A I のみリフロー温度を越えて、コンタクト孔に流れ込むと、コンタクト孔の底部から基板に熱が逃げ、A I と下地基板との反応は抑制される。ここに示した方法の他にも、E C R を用いることにより、同様に低エネルギー、高密度イオンを得ることができる。

【0026】尚、上記実施例においては不活性ガスとしてA r を用いた場合について説明したが、N e 等他の不活性ガスを用いてもよい。

【0027】

【発明の効果】以上説明したように本発明では、A I 膜を加熱してリフローする直前に不活性ガスのプラズマで表面の自然酸化膜を除去するので、リフロー性が向上し、高アスペクト比のコンタクト孔を容易に埋め込む事が出来る。リフローの直前に表面酸化膜を除去するので、スパッタとリフローを別チャンバーで行なう事が出来、スルーブットを向上させる事が出来る。従来のスパッタ後リフロー法と同様に、A I 膜の形成を低温で行なう為、膜中に不純物を取込む事が少なく、滑らかな表面モフォロジーが得られ、アライメントや加工性にも問題は生じない。

【0028】またA I 膜の表面に衝突する不活性ガスのイオンからのエネルギーもA I 膜の加熱に利用できるもので、基板温度を低くしたままA I 膜の温度を高くする事が出来る。このため、従来発生していたコンタクト底部での拡散層とA I の反応が抑制され、ジャンクションリークの発生が無くなり、半導体装置の信頼性及び歩留りを

を向上させることができる。

【図面の簡単な説明】

【図1】本発明第1の実施例を説明するための半導体チップの断面図。

【図2】実施例に用いる成膜装置の構成図。

【図3】金属のスパッタ率とA r イオンエネルギーとの関係を示す図。

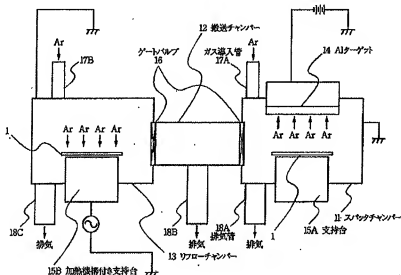
【図4】成膜装置を構成するリフローチャンバーの他の例の構成図。

10 【図5】従来の成膜装置の一例の構成図。

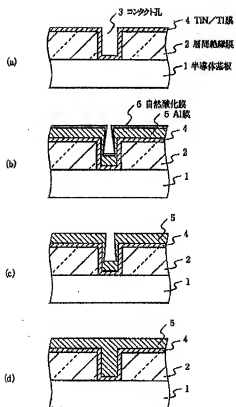
【符号の説明】

- 1 半導体基板
- 2 層間絶縁膜
- 3 コンタクト孔
- 4 T I N / T I 膜
- 5 A I 膜
- 6 自然酸化膜
- 11 スパッタチャンバー
- 12 搬送チャンバー
- 13、13 A、13 B リフローチャンバー
- 14 A I ターゲット
- 15 A、15 B 支持台
- 16 ゲートバルブ
- 17、17 A、17 B ガス導入管
- 18 A ~ 18 C 排気管
- 21 プラズマ発生用R F コイル

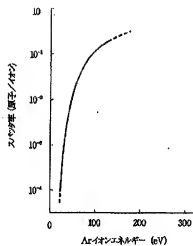
【図2】



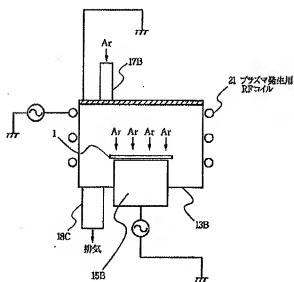
【図1】



【図3】



【図4】



【図5】

